

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WEST**End of Result Set**☐ **Generate Collection**

L8: Entry 1 of 1

File: JPAB

Oct 7, 1997

PUB-NO: JP409266207A

DOCUMENT-IDENTIFIER: JP 09266207 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: October 7, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

KISHIMOTO, KOJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP08075793

APPL-DATE: March 29, 1996

INT-CL (IPC): H01L 21/3205; H01L 21/304; H01L 21/316; H01L 21/768; H01L 21/31

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which an interlayer insulating film, having a low relative dielectric constant and the optimum flatness to a multilayer wiring structure, can be obtained, and provide also the manufacturing method of the semiconductor device.

SOLUTION: After formation of a silicon oxide film 23 covering the whole surface of a lower layer wiring 22, a fluorine-containing silicon oxide film 24 is formed in such a manner that the recessed part between the lower layer wirings 22 becomes lower than the silicon oxide film 23 on the lower layer wirings 22 using a high density plasma CVD method. Then, after a silicon oxide film has been formed in such a manner that the recessed part between the lower wirings 22 becomes higher than the silicon oxide film 23 on the lower layer wirings 22, the silicon oxide film on the lower layer wirings 22 and the fluorine-containing silicon oxide film 24 are removed by polishing using a CMP method under the condition wherein the polishing speed of the fluorine containing silicon oxide film 24 becomes higher than the polishing speed of the silicon oxide film, and the surface is flattened. Lastly, a silicon oxide film 25 is formed.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-266207

(43) 公開日 平成9年(1997)10月7日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205			H 0 1 L 21/88	K
21/304	3 2 1		21/304	3 2 1 S
21/316			21/316	X
21/768			21/90	M
21/31			21/95	
審査請求 有 請求項の数 8 O L (全 12 頁)				

(21) 出願番号 特願平8-75793

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岸本 光司

東京都港区芝五丁目7番1号 日本電気株式会社内

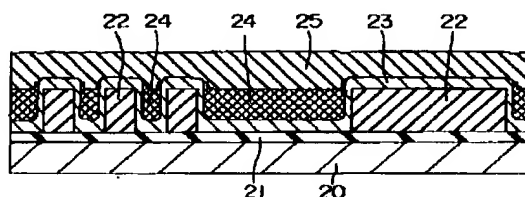
(74) 代理人 弁理士 志賀 正武

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 低比誘電率で、かつ多層配線構造に最適な平坦性を持つ層間絶縁膜が得られる半導体装置およびその製造方法を提供する。

【解決手段】 下層配線22表面を含む全面を覆う酸化シリコン膜23を形成した後、フッ素含有酸化シリコン膜24を、下層配線22間の凹部部分が下層配線22上の酸化シリコン膜23より低くなるように高密度プラズマCVD法により形成する。次に、酸化シリコン膜を、下層配線22間の凹部部分が下層配線22上の酸化シリコン膜23より高くなるように形成した後、フッ素含有酸化シリコン膜24の研磨速度が酸化シリコン膜の研磨速度より大きくなる条件を用いて下層配線22上の酸化シリコン膜とフッ素含有酸化シリコン膜24をCMP法により研磨、除去し、表面を平坦化する。最後に、酸化シリコン膜25を形成する。



【特許請求の範囲】

【請求項1】 半導体基板の主表面上に設けられた絶縁膜と、

該絶縁膜上に設けられた下層配線と、

前記下層配線上および前記絶縁膜上に設けられた第1の酸化シリコン膜と、

該第1の酸化シリコン膜上でかつ前記下層配線間の凹部にのみ設けられフッ素を含有した第2の酸化シリコン膜と、

前記第1の酸化シリコン膜上および前記フッ素含有の第2の酸化シリコン膜上に設けられた第3の酸化シリコン膜、を有することを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記第1の酸化シリコン膜が、窒素を含有していることを特徴とする半導体装置。

【請求項3】 半導体基板上に絶縁膜を介して複数の下層配線を形成する工程と、

前記下層配線表面および前記絶縁膜表面を覆う第1の酸化シリコン膜をプラズマ化学気相成長法により形成する工程と、

前記第1の酸化シリコン膜表面を覆い、かつ、前記下層配線間の凹部に形成される部分の高さが前記下層配線上の第1の酸化シリコン膜の高さより低くなるように、フッ素を含有した第2の酸化シリコン膜をプラズマ化学気相成長法により形成する工程と、

前記フッ素含有の第2の酸化シリコン膜表面を覆い、かつ、前記下層配線間の凹部に形成される部分の高さが前記下層配線上の第1の酸化シリコン膜の高さより高くなるように、第3の酸化シリコン膜をプラズマ化学気相成長法により形成する工程と、

前記フッ素含有の第2の酸化シリコン膜の研磨速度が前記第1の酸化シリコン膜の研磨速度および前記第3の酸化シリコン膜の研磨速度より大きい条件を用いて、前記下層配線上の前記第3の酸化シリコン膜および前記フッ素含有の第2の酸化シリコン膜を化学機械研磨法により研磨して除去し、表面を平坦化する工程と、

前記第1の酸化シリコン膜表面および前記フッ素含有の第2の酸化シリコン膜表面および前記第3の酸化シリコン膜表面を覆う第4の酸化シリコン膜をプラズマ化学気相成長法により形成する工程、を有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、

前記第3の酸化シリコン膜を形成するためのプラズマ化学気相成長法を行う際に、前記半導体基板に高周波電圧を印加することを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上に絶縁膜を介して複数の下層配線を形成する工程と、

前記下層配線表面および前記絶縁膜表面を覆う第1の酸化シリコン膜をプラズマ化学気相成長法により形成する

工程と、

前記第1の酸化シリコン膜表面を覆い、かつ、前記下層配線間の凹部に形成される部分の高さが前記下層配線上の第1の酸化シリコン膜の高さより高くなるように、フッ素を含有した第2の酸化シリコン膜をプラズマ化学気相成長法により形成する工程と、

前記フッ素含有の第2の酸化シリコン膜の研磨速度が前記第1の酸化シリコン膜の研磨速度より大きい条件を用いて、前記下層配線上の前記フッ素含有の第2の酸化シリコン膜を化学機械研磨法により研磨して除去し、表面を平坦化する工程と、

前記第1の酸化シリコン膜表面および前記フッ素含有の第2の酸化シリコン膜表面を覆う第4の酸化シリコン膜をプラズマ化学気相成長法により形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項3ないし5のいずれかに記載の半導体装置の製造方法において、

前記フッ素含有の第2の酸化シリコン膜を形成する際のプラズマ化学気相成長法として、四フッ化シランとシランと酸素とアルゴンを原料とするプラズマ化学気相成長法を用いることを特徴とする半導体装置の製造方法。

【請求項7】 請求項3ないし5のいずれかに記載の半導体装置の製造方法において、

前記フッ素含有の第2の酸化シリコン膜を形成する際のプラズマ化学気相成長法として、四フッ化シランと酸素と水素とアルゴンを原料とするプラズマ化学気相成長法を用いることを特徴とする半導体装置の製造方法。

【請求項8】 請求項3ないし5のいずれかに記載の半導体装置の製造方法において、

前記フッ素含有の第2の酸化シリコン膜を形成する際に、プラズマ化学気相成長法に代えて、バイアス・スパッタリング法を用いることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特にアルミニウム等の金属配線上の層間絶縁膜として用いるのに好適な層間絶縁膜の構造およびその形成方法に関するものである。

【0002】

【従来の技術】半導体素子の微細化に伴い、半導体装置の構成には多層配線の採用が必須になってきている。多層配線を有する半導体装置の層間絶縁膜としては、以前から酸化シリコン系の絶縁膜が用いられている。ところで、半導体装置が高密度になるに従い、配線間の寄生容量による信号伝達の遅延が半導体装置の高速動作の妨げになってきている。従来用いられている二酸化シリコン膜では、比誘電率は低くても3.9であり、さらなる低比誘電率化が望まれている。

【0003】また、層間絶縁膜表面に大きな段差がある

場合、上層配線形成時のフォトリソグラフィ工程において、フォーカスマージンの不足からレジストパターンが形成できないという問題、または、レジストパターンが形成できたとしても、大きな段差に起因する段差部での上層配線の断線および配線材料のエッチング残り等の問題、が発生する。このため、層間絶縁膜の表面は滑らかであることが要求される。半導体装置が高密度になるに従い、微細な配線を形成する目的でフォトリソグラフィ工程において高開口数の露光装置が使われるようになると、フォーカスマージンの減少が特に問題となるため、チップサイズでの平坦化が望まれている。

【0004】よって、高集積でかつ多層配線構造を持つ半導体装置にとって、その層間絶縁膜に求められる要因は、配線間をできるだけ低比誘電率の膜で埋め込むことができ、かつその表面がチップサイズで平坦である、という点である。

【0005】近年、比誘電率を下げる試みとして、酸化シリコン系の膜にフッ素を添加するという方法が注目を集めている。例えば、フッ素含有酸化シリコン膜の製法の一つが、1993年の国際固体素子コンファレンスのアブストラクト161頁～163頁に掲載されている。装置として従来の平行平板型プラズマ化学気相成長（Chemical Vapor Deposition, 以下、CVDと記す）装置を用い、材料としてテトラエチルオルソシリケート（Tetra Ethyl Ortho Silicate, 以下、TEOSと記す）と C_2F_6 、酸素（ O_2 ）を用いている。この論文の中では、 C_2F_6 量の増加に従って比誘電率は3.7近くまで減少することが述べられている。また、装置としては同じであるが、フッ素の添加剤としてガス種を変えて成膜している製法が、1994年のSEMIテクノロジーシンポジウム講演会予行集179頁～185頁に掲載されている。ガス種としては、 NF_3 、 CF_4 、 C_2F_6 の3種類について検討している。この論文の中では、 C_2F_6 を用いることで比誘電率は3.4まで減少することが述べられている。一般に、フッ素添加量の増加とともに比誘電率は低下する。

【0006】さらに、近年、チップサイズで層間絶縁膜の表面を平坦化する方法として、化学的機械研磨（Chemical Mechanical Polishing、以下、CMPと記す）法が注目を集めている。例えば、特開平6-283485号公報には、フッ素含有シリコン酸化膜にCMP法を適用した半導体装置の製造方法（以下、第1の従来例という）が開示されている。以下にその製造方法を工程順に説明する。

【0007】まず、図11（a）に示すように、シリコン基板1の表面上に、酸化シリコン膜等の絶縁膜2を介してパターンニングしたアルミニウム等からなる下層配線3を形成する。その後、図11（b）に示すように、これら下層配線3および絶縁膜2上に、 NF_3 を添加したTEOSガスを用いたプラズマCVD法によりフッ素を

含有する酸化シリコン膜4を成膜する。ついで、図11（c）に示すように、このフッ素含有酸化シリコン膜4上にフッ素を含有しない酸化シリコン膜5を成膜する。この際、このフッ素を含有しない酸化シリコン膜5は下層配線3の高さよりも高く堆積させる。

【0008】その後、図11（d）に示すように、CMP法を用いてフッ素を含有しない酸化シリコン膜5をフッ素含有酸化シリコン膜4の表面が露出するまで研磨する。この際、フッ素含有酸化シリコン膜4の研磨速度はフッ素を含有しない酸化シリコン膜5の研磨速度に比べて遅いため、フッ素含有酸化シリコン膜4がCMPのストッパーの役目を果たす。すなわち、フッ素含有酸化シリコン膜4が研磨され始めると、相対的には研磨速度が停止したような状態になる。この時、研磨を終了すると、CMPによってフッ素含有酸化シリコン膜4の表面と高さがほぼ揃った酸化シリコン膜5が得られる。

【0009】次に、図12（e）に示すように、フォトリソグラフィ技術とウェットエッチング、ドライエッチング技術を用いてビアホール6を形成する。最後に、図12（f）に示すように、スパッタ技術、フォトリソグラフィ技術、ドライエッチング技術を用いてアルミニウム等からなる上層配線7を形成する。

【0010】また、ストッパーを用いたCMP法に関して、特開平6-326065号公報には、硬いポリッシング物質と軟らかいポリッシング物質とを交互に重ねた層を形成し、両者のポリッシング速度の差を利用して、平坦性を向上させる方法（以下、第2の従来例という）が開示されている。以下にその製造方法を工程順に説明する。

【0011】まず、図13（a）に示すように、シリコン基板9の表面上に絶縁膜10を介してアルミニウム等からなる下層配線11を形成する。その後、図13（b）に示すように、下層配線11と絶縁膜10の表面を覆う層間絶縁膜12を形成し、その上に交互に硬いポリッシング物質13a、軟らかいポリッシング物質14、硬いポリッシング物質13bを形成する。この下側の硬いポリッシング物質13aがオーバー・ポリッシングを防ぐための埋設ポリッシュ・ストップ層として機能し、平坦性を高めるのである。

【0012】そして、図13（c）に示すように、CMP法により下層配線11上の高い部分の硬いポリッシング物質13bとその下の軟らかいポリッシング物質14をポリッシングして除去すると、下側の硬いポリッシング物質13aが露出する。この時点で、低いエリア上の上側の硬いポリッシング物質13bと高いエリア上の下側の硬いポリッシング物質13aが平坦な表面を形成する。最後に、図13（d）に示すように、ポリッシングまたはウェットエッチングによりCMP後に残存していた硬いポリッシング物質13bを除去する。最終的に、低いエリア上の軟らかいポリッシング物質14と高いエ

リア上の硬いポリッシング物質13aが平坦な表面を形成する。

【0013】

【発明が解決しようとする課題】しかしながら、上記第1、第2の従来例のそれぞれには以下のような問題点があった。第1の問題点は、第1の従来例において、図12(f)に示すように、高濃度にフッ素を含有する酸化シリコン膜を使用した場合、上層配線7が直接そのフッ素含有酸化シリコン膜4に接している部分で腐食を起し、ボイド16が形成されることである。特に、ビアホール6部分でアルミニウム等の上層配線7がフッ素含有酸化シリコン膜4に接した場合、腐食のために配線が薄い部分で断線してしまう、という欠点がある。その理由は、フッ素がシリコンに直接結合している場合、そのSi-F結合自身は安定であるが、結合が不十分な場合、空気中の水分により容易に加水分解を起し、フッ化水素(HF)を形成するためである。特に、膜の密度が低く、ポーラスな場合、加水分解による堆積膨張が容易に起こり、フッ化水素が容易に形成されてしまう。

【0014】第2の問題点は、第1の従来例において、CMP法における研磨速度が、フッ素含有酸化シリコン膜の方がフッ素を含有しない酸化シリコン膜に比べて遅いことである。その理由は、通常用いられるCMP法のスラリーは、研磨剤粒子としてのシリカ(SiO₂)と、分散媒としての水酸化カリウム(KOH)を添加した水溶液から成り立っている。そして、pH11以上のアルカリ性の溶液を用いることで研磨した酸化シリコン膜の粒子を溶液中に溶解させて除去する。よって、フッ素含有酸化シリコン膜を研磨した場合、研磨中に膜中からのフッ素が遊離し、溶液のpH値を下げるために、研磨速度が減少するのである。

【0015】第3の問題点は、第1の従来例において、図11(b)に示すように、ボイド17が形成されることである。その理由は、フッ素の添加によりTEOSの酸化反応が促進され、かつ、平行平板型のプラズマCVD装置を用いることで、圧力が1Torr以上と高いために、気相での反応が主となってフッ素含有酸化シリコン膜4の形状が悪化するためである。

【0016】第4の問題点は、第1の従来例において、比誘電率を下げるためにフッ素添加用の材料ガスの量を増加しようすると、図11(b)に示すように、絶縁膜2の表面に穴18が形成されることである。その理由は、CF₄やC₂F₆を用いた場合、これらのガスは元来SiO₂のエッチングガスであり、酸素O₂が存在することでさらにエッチング速度が増加する。よって、比誘電率を下げようとTEOSに対するCF₄やC₂F₆の量を増加させると、フッ素含有酸化シリコン膜4が堆積する前に下地の絶縁膜2がエッチングされてしまうのである。

【0017】第5の問題点は、第2の従来例において、

もし仮に硬いポリッシング物質または軟らかいポリッシング物質のいずれかにフッ素含有酸化シリコン膜を用いた場合、上層配線およびビアホールでアルミニウム等の配線が腐食してしまうことである。その理由は、アルミニウム等の配線がフッ素含有酸化シリコン膜に直接接してしまうためであり、腐食の原因は第1の問題点と同様である。また、層間絶縁膜にフッ素含有酸化シリコン膜を適用しても同じ理由から腐食が発生する。

【0018】第6の問題点は、第2の従来例において、配線間が微細になると充分な高速性を得ることができないことである。その理由は、低比誘電率の膜を層間絶縁膜または硬いポリッシング物質または軟らかいポリッシング物質のいずれかに適用したところで、体積的に少ないために低比誘電率の膜を使用する効果がほとんど上がらないためである。

【0019】本発明は、上記の課題を解決するためになされたものであって、金属配線上の層間絶縁膜に関して、特に、高速動作の半導体装置用の低比誘電率でかつ多層配線構造に最適なチップサイズでの平坦性を持つ層間絶縁膜が得られる半導体装置およびその製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の半導体装置は、半導体基板の主表面上に設けられた絶縁膜と、絶縁膜上に設けられた下層配線と、絶縁膜上および下層配線上に設けられた第1の酸化シリコン膜と、第1の酸化シリコン膜上でかつ下層配線間の凹部にのみ設けられフッ素を含有した第2の酸化シリコン膜と、第1の酸化シリコン膜上およびフッ素含有の第2の酸化シリコン膜上に設けられた第3の酸化シリコン膜、を有することを特徴とするものである。

【0021】また、本発明の第2の半導体装置は、上記第1の半導体装置において、第1の酸化シリコン膜が窒素を含有していることを特徴とするものである。

【0022】本発明の第1の半導体装置の製造方法は、半導体基板上に絶縁膜を介して複数の下層配線を形成する工程と、下層配線表面および絶縁膜表面を覆う第1の酸化シリコン膜をプラズマCVD法により形成する工程と、第1の酸化シリコン膜表面を覆い、かつ、下層配線間の凹部に形成される部分の高さが下層配線上の第1の酸化シリコン膜の高さより低くなるように、フッ素を含有した第2の酸化シリコン膜をプラズマCVD法により形成する工程と、フッ素含有の第2の酸化シリコン膜表面を覆い、かつ、下層配線間の凹部に形成される部分の高さが下層配線上の第1の酸化シリコン膜の高さより高くなるように、第3の酸化シリコン膜をプラズマCVD法により形成する工程と、フッ素含有の第2の酸化シリコン膜の研磨速度が第1の酸化シリコン膜の研磨速度および第3の酸化シリコン膜の研磨速度より大きい条件を用いて、下層配線上の第3の酸化シリコン膜およびフッ

素含有の第2の酸化シリコン膜をCMP法により研磨して除去し、表面を平坦化する工程と、第1の酸化シリコン膜表面およびフッ素含有の第2の酸化シリコン膜表面および第3の酸化シリコン膜表面を覆う第4の酸化シリコン膜をプラズマCVD法により形成する工程、を有することを特徴とするものである。

【0023】また、本発明の第2の半導体装置の製造方法は、上記第1の半導体装置の製造方法において、第3の酸化シリコン膜を形成するためのプラズマCVD法を行う際に、前記半導体基板に高周波電圧を印加することを特徴とするものである。

【0024】また、本発明の第3の半導体装置の製造方法は、半導体基板上に絶縁膜を介して複数の下層配線を形成する工程と、下層配線表面および絶縁膜表面を覆う第1の酸化シリコン膜をプラズマCVD法により形成する工程と、第1の酸化シリコン膜表面を覆い、かつ、下層配線間の凹部に形成される部分の高さが下層配線上の第1の酸化シリコン膜の高さより高くなるように、フッ素を含有した第2の酸化シリコン膜をプラズマCVD法により形成する工程と、フッ素含有の第2の酸化シリコン膜の研磨速度が第1の酸化シリコン膜の研磨速度より大きい条件を用いて、下層配線上のフッ素含有の第2の酸化シリコン膜をCMP法により研磨して除去し、表面を平坦化する工程と、第1の酸化シリコン膜表面およびフッ素含有の第2の酸化シリコン膜表面を覆う第4の酸化シリコン膜をプラズマCVD法により形成する工程を有することを特徴とするものである。

【0025】また、本発明の第4の半導体装置の製造方法は、上記第1～第3の半導体装置の製造方法において、フッ素含有の第2の酸化シリコン膜を形成する際のプラズマCVD法として、四フッ化シランとシランと酸素とアルゴンを原料とするプラズマCVD法を用いることを特徴とするものである。

【0026】また、本発明の第5の半導体装置の製造方法は、上記第1～第3の半導体装置の製造方法において、フッ素含有の第2の酸化シリコン膜を形成する際のプラズマCVD法として、四フッ化シランと酸素と水素とアルゴンを原料とするプラズマCVD法を用いることを特徴とするものである。

【0027】また、本発明の第6の半導体装置の製造方法は、上記第1～第3の半導体装置の製造方法において、フッ素含有の第2の酸化シリコン膜を形成する際に、プラズマCVD法に代えて、バイアス・スパッタリング法を用いることを特徴とするものである。

【0028】ここで、本発明の作用について本願発明者の行った実験に基づいて説明する。まず、20重量%のシリカを純水に分散させたスラリー原液を用意する。この原液は何も加えない状態でpH6の弱酸性である。このスラリー原液に酢酸アンモニウム($\text{CH}_3\text{COONH}_4$)を0.1～0.3mol/l添加し、さらに、pHを

7(中性)あるいは9(アルカリ性)に調整するためにアンモニア(NH_4OH)を添加する。これらのスラリーを用いて、TEOSと O_2 を原料としたプラズマCVD法により形成した酸化シリコン膜のCMPを行う。

【0029】図9はこれらのポリッシング・レート酢酸アンモニウム添加量に対してプロットしたものである。縦軸は、酢酸アンモニウムを添加せず、かつpH9の時のポリッシング・レートで規格化している。図9より、酢酸アンモニウムを添加しない場合、pH6(酸性)ではほとんど研磨されず、スラリーを中性、アルカリ性に変化させると研磨され始める。ところが、少量の酢酸アンモニウムを添加するだけでpH6(酸性)の領域でも研磨が始まる。

【0030】これは次のような原理による。通常、アルカリ性の場合、スラリー中のシリカ粒子表面には、 OH^- 基が選択吸着し、粒子表面は負に帯電している。この負の粒子の回りを溶液中の正の電荷がゆるく取り囲み、電気二重層を形作り、媒質の中に分散してコロイド状となっている。シリカ粒子が集合して沈降しないのは、疎水コロイド特有の、電気二重層同士の反発力(静電的な斥力)が粒子間のファン・デル・ワールス引力より大きいからである。ここで、酢酸アンモニウム等の電解質を少量加えると、電気二重層の厚さが減少するため、粒子間のファン・デル・ワールス引力が電気二重層同士の反発力よりも大きくなり、シリカ粒子が凝集する。

【0031】以上の原理より、酢酸アンモニウム添加無しあるいはpH9(アルカリ性)の場合、シリカ粒子表面近傍の電気二重層が厚いため、シリカ粒子の凝集が抑制される。その結果、削り取られた酸化シリコン粒子もコロイド状となってスラリー中に溶け込む。一方、pH6(酸性)からpH7(中性)のスラリーに酢酸アンモニウムを添加した場合、電気二重層が薄くなり、シリカ粒子の凝集が促進される。すなわち、シリカ粒子の凝集で2次粒子が大きくなり、酸化膜に対する機械的研磨作用が増大したため、ポリッシング・レートが増加したのである。研磨時に削り取られた酸化シリコン粒子は凝集してしまい、スラリー中に溶け込みにくくなり、パーティクルの発生が懸念される。しかしながら、凝集した酸化シリコン粒子は粒子径が大きくなり、研磨後のブラシ洗浄でパーティクルは充分除去できることを確認している。

【0032】図10は、pH7とpH9に調整したスラリーを用いた場合の、フッ素含有酸化シリコン膜のポリッシング・レートのフッ素含有量依存性を示す図である。pH9で酢酸アンモニウムが添加されていない場合、フッ素含有量の増加に従ってポリッシング・レートが減少することがわかる。それに対して、pH7で酢酸アンモニウムが添加されている場合、フッ素含有量の増加に従ってポリッシング・レートが増加する。この理由

は、研磨時にフッ素含有酸化シリコン膜からフッ素がスラリー中に溶け出し、酸性化したためにシリカ粒子の凝集が促進され、機械的研磨作用が増大し、ポリッシング・レートが増加したものと考えられる。

【0033】以上の結果より、CMPに用いるスラリーを適切に調整することによりフッ素含有酸化シリコン膜とフッ素を含有しない酸化シリコン膜との間で十分な選択比が得られるために、フッ素を含有しない酸化シリコン膜をストッパーとしてフッ素含有酸化シリコン膜を研磨することができる。

【0034】ところで、フッ素含有酸化シリコン膜の形成方法としては、バイアスCVD法とバイアススパッタリング法がある。

【0035】バイアスCVD法に関しては、まず、プラズマ源として、電子サイクロトロン共鳴励起プラズマまたはヘリコン波型励起プラズマ、誘導結合型励起プラズマ等の高密度プラズマ源を用いることで、原料ガスを十分に分解し、反応を促進させている。さらに、基板に高周波電圧を印加することで、膜の密度を高め、強固なSi-F結合を形成すると同時に微細な配線間を埋め込むことができる。そして、膜の密度が高いために空気中に放置しても吸湿することがなく、配線の腐食等が生じることがない。また、配線間隔0.25μmでアスペクト比2.5のスペースを埋め込むことができる点を確認している。

【0036】最後に、フッ素用の添加ガスとして四フッ化シラン(SiF₄)を用いることで、CF₄やC₂F₆等を用いた時に生じる下地絶縁膜のエッチングを抑えることができる。また、シラン(SiH₄)または水素(H₂)を添加することで、成膜中に結合の不充分なフッ素をフッ化水素(HF)の形で取り去り、強固なSi-F結合のみからなるフッ素含有酸化シリコン膜を形成することができる。ただし、SiH₄を添加した場合、SiH₄流量の増加とともに膜中のフッ素量は減少する。

【0037】一方、バイアススパッタリング法に関しては、スパッタ材料自身に安定したフッ素含有酸化シリコン膜を用いるために、配線の腐食等が生じることがない。埋込性に関しても、配線間隔0.25μmでアスペクト比2.5のスペースを埋め込むことができるのを確認している。

【0038】

【発明の実施の形態】以下、本発明の第1の実施の形態を図1、図5、図6を参照して説明する。図1は、本実施の形態の半導体装置のうち、特に層間絶縁膜部分を示す断面図である。この図に示すように、シリコン基板20上にシリコン酸化膜(SiO₂)等の絶縁膜21が形成され、さらに絶縁膜21上には複数の下層配線22、22、…が形成されている。そして、これら下層配線22の表面および下層配線22のない領域の絶縁膜21表

面を覆うように、第1の層間絶縁膜としての酸化シリコン膜23が形成されている。

【0039】また、下層配線22間の凹部を埋め込むように、第2の層間絶縁膜としてのフッ素含有酸化シリコン膜24が酸化シリコン膜23上に形成されている。ここで、第1の層間絶縁膜である酸化シリコン膜23は、フッ素含有酸化シリコン膜24による下層配線22の腐食を防ぐとともに、CMP時のストッパーとして機能するものである。また、第2の層間絶縁膜であるフッ素含有酸化シリコン膜24は、層間絶縁膜全体の比誘電率を低下させるための膜として用いている。

【0040】そして、下層配線22上の酸化シリコン膜23およびフッ素含有酸化シリコン膜24を覆うように、第3の層間絶縁膜としての酸化シリコン膜25が形成されている。この酸化シリコン膜25の表面はチップ単位で平坦化されている。

【0041】次に、上記構成の半導体装置の製造方法について説明する。図5および図6は、本実施の形態の半導体装置の製造方法を工程順を追って示すプロセスフロー図である。まず、図5(a)に示すように、シリコン基板20の表面にシリコン酸化膜等の絶縁膜21を形成した後、この絶縁膜21上にスパッタ法を用いてチタン膜26、窒化チタン膜27、アルミニウム-シリコン-銅合金膜28、反射防止膜としての窒化チタン膜29をそれぞれ0.06μm、0.1μm、0.7μm、0.05μm程度の膜厚で形成する。その後、フォトリソグラフィ技術を用いてフォトレジストによるラインパターン(図示せず)を形成し、さらに、ドライエッチング技術を用いて窒化チタン膜29、アルミニウム-シリコン-銅合金膜28、窒化チタン膜27、チタン膜26をラインパターンに従って順次エッチングする。これにより、下層配線22が完成する。

【0042】次に、図5(b)に示すように、絶縁膜21上および下層配線22上にTEOSとO₂を原料としたプラズマCVD法により酸化シリコン膜23を約0.15μm堆積する。この際、酸化シリコン膜23の堆積条件としては、例えば平行平板型プラズマCVD装置を用い、250kHzと13.56MHzの2つの高周波電圧を印加してプラズマを発生させ、基板温度を約350℃、圧力を約1.8Torr、とする。

【0043】そして、図5(c)に示すように、酸化シリコン膜23上にプラズマCVD法を用いてフッ素含有酸化シリコン膜24を約0.75μm堆積する。この際、フッ素含有酸化シリコン膜24の堆積条件としては、SiF₄とSiH₄とO₂とArを原料とする電子サイクロトロン共鳴励起プラズマを用いたプラズマCVD法により、シリコン基板20に13.56MHzの高周波電圧を印加してプラズマを発生させる。また、マイクロ波パワーを2.8kW、高周波パワーを1.0kW、圧力を1mTorr、SiF₄とSiH₄の総流量に占めるSi

10

20

30

40

50

11

F₄ の流量比 ($\text{SiF}_4 / (\text{SiF}_4 + \text{SiH}_4)$) を約 0.6、とする。さらに、約 80℃ の冷媒で基板を冷却することにより膜成長時の基板温度を約 400℃ 以下に保持する。この条件でフッ素含有酸化シリコン膜 24 を堆積した場合、膜中には約 10 atomic% のフッ素が含有され、単層の比誘電率としては約 3.5 にまで減少する。この段階で、下層配線 22 間の凹部に形成されるフッ素含有酸化シリコン膜 24 の上面は下層配線 22 上の酸化シリコン膜 23 の上面よりも低い状態となる。

【0044】さらに、図 5 (d) に示すように、SiH₄ と O₂ と Ar を原料とする電子サイクロトロン共鳴励起プラズマを用いたプラズマ CVD 法によって、フッ素含有酸化シリコン膜 24 上に酸化シリコン膜 30 を約 0.8 μm の膜厚で堆積する。堆積条件としては、マイクロ波パワーを 2.8 kW、高周波パワーを 0.5 kW、圧力を約 1 mTorr、とする。この方法を用いた場合、フッ素含有酸化シリコン膜 24 の上面のみに酸化シリコン膜 30 が堆積した形状となり、下層配線 22 間の領域に形成される酸化シリコン膜 30 の上面は下層配線 22 上の酸化シリコン膜 23 の上面よりも高い状態となる。

【0045】その後、図 6 (e) に示すように、CMP 法を用いて下層配線 22 上の酸化シリコン膜 30 とフッ素含有酸化シリコン膜 24 を研磨して完全に除去し、下層配線 22 間の部分に上面が研磨された酸化シリコン膜 30 とフッ素含有酸化シリコン膜 24 を残す。この際、下層配線 22 上の酸化シリコン膜 23 と下層配線 22 間の酸化シリコン膜 30 は CMP のストッパーとして機能する。また、CMP に用いるスラリーとしては、シリカを純水に分散させ、酢酸アンモニウム (CH₃COONH₄) を添加し、さらにアンモニア (NH₄OH) を添加することで pH を 7 (中性) に調整したものをを用いる。

【0046】次に、図 6 (f) に示すように、TEOS と O₂ を原料とするプラズマ CVD 法により酸化シリコン膜 25 を全面に約 0.8 μm 堆積する。ついで、窒素雰囲気下で 400℃ 前後の熱処理を 10 分から 1 時間程度行うことによって層間絶縁膜全体を緻密で安定な状態とする。なお、図 1 においては、CMP 後に下層配線 22 の無い領域に残った酸化シリコン膜 30 とその上に新たに堆積した酸化シリコン膜 25 を同一の層として示している。

【0047】そして、図 6 (g) に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いて下層配線 22 上にビアホール 31 を形成する。最後に、図 6 (h) に示すように、スパッタ法を用いて全面にチタン膜 32 および窒化チタン膜 33 を形成した後、CVD 法によりタングステン膜を堆積し、ついで、全面エッチバックを行うことによりビアホール 31 内のみタングステン膜 34 を埋め込んだ状態とする。次に、スパッタ法を用いてアルミニウム-シリコン-銅合金膜 35、窒化チタン膜 36 を形成した後、フォトリソグラ

12

フィ技術およびドライエッチング技術を用いて上層配線 37 を形成することにより、本実施の形態の半導体装置における 2 層配線構造が完成する。

【0048】本実施の形態においては、図 6 (h) に示すように、ビアホール 31 の部分も含めて、フッ素含有酸化シリコン膜 24 がアルミニウム等からなる配線 22、37 に直接接することがないため、配線に腐食が起こりボイドが形成される心配がない。また、フッ素含有酸化シリコン膜 24 の形成方法として、シリコン基板 20 に高周波電圧を印加する高密度プラズマ CVD 法を用いたため、フッ素含有酸化シリコン膜 24 の密度が高く、空气中に放置したとしても吸湿がなく、膜質も安定している。また、膜中にフッ素を含有させるための反応ガスとして、SiF₄ を用いたため、SiO₂ のエッチングガスである CF₄ や C₂F₆ を用いた従来の場合に問題となっていた下地絶縁膜 21 のエッチングが起こることがない。さらに、反応ガスに SiH₄ や H₂ を添加することで、膜成長時に生じる余分なフッ素を HF の形で除去することができる。

【0049】また、CMP を行う際にスラリーに酢酸アンモニウムを添加し、さらにアンモニアにより溶液を中性としたことによって、機械的な研磨効果が増大し、フッ素含有酸化シリコン膜 24 の研磨速度を酸化シリコン膜 23、30 のそれより大きくすることができるため、充分な選択比を確保することができる。その結果、酸化シリコン膜 23、30 を CMP のストッパーとして機能させることができ、平坦な層間絶縁膜を形成することができる。そして、下地の酸化シリコン膜 23 の膜厚を約 0.15 μm、フッ素含有酸化シリコン膜 24 の膜厚を約 0.75 μm としたため、上層、下層配線 37、22 間の層間絶縁膜中に占めるフッ素含有酸化シリコン膜 24 の体積比が大きくなり、層間絶縁膜全体としての比誘電率を下げて配線遅延を低減することができる。

【0050】なお、本実施の形態の製造方法のうち、図 5 (d) に示した酸化シリコン膜 30 の形成工程を以下のように変更することもできる。図 7 (d) に示すように、下層配線 22 間を酸化シリコン膜 23 とフッ素含有酸化シリコン膜 24 で埋め込んだ後、TEOS と O₂ を原料としたプラズマ CVD 法を用いて酸化シリコン膜 38 を約 1.0 μm 堆積する。その堆積条件としては、例えば平行平板型プラズマ CVD 装置を用い、250 kHz と 13.56 MHz の 2 つの高周波電圧を印加してプラズマを発生させ、基板温度を約 350℃、圧力を約 1.8 Torr、とする。この方法を用いた場合、電子サイクロトロン共鳴励起プラズマを用いた場合と異なり、フッ素含有酸化シリコン膜 24 の上面のみならず、側面にも一様に酸化シリコン膜 38 が堆積した形状となる。

【0051】また、本実施の形態では、図 5 (c)、(d) に示すフッ素含有酸化シリコン膜 24 および酸化シリコン膜 30 を電子サイクロトロン共鳴励起プラズマ

1 3

を用いて形成したが、その他、ヘリコン波型励起プラズマまたは誘導結合型励起プラズマ等の高密度プラズマ源を用いてもこれらの膜を同様に形成できることは勿論である。さらに、基板に高周波電圧を印加する高密度プラズマCVD法に代えて、バイアス・スパッタリング法を用いても同様な膜形状および膜特性を得ることができる。

【0052】以下、本発明の第2の実施の形態を図2および図8を参照して説明する。図2は、本実施の形態の半導体装置のうち、特に層間絶縁膜部分を示す断面図である。なお、図1と共通の構成要素については同一の符号を付す。この図に示すように、シリコン基板20上に絶縁膜21が形成され、さらに絶縁膜21上には下層配線22が形成されている。そして、下層配線22の上面と側面および下層配線22のない領域の絶縁膜21表面を覆うように、第1の層間絶縁膜としての酸化シリコン膜23が形成されている。

【0053】また、下層配線22間の凹部を埋め込むように、第2の層間絶縁膜としてのフッ素含有酸化シリコン膜40が酸化シリコン膜23上に形成されている。ここで、第1の層間絶縁膜である酸化シリコン膜23は、フッ素含有酸化シリコン膜40による下層配線22の腐食を防ぐとともに、CMPのストッパーとして機能するものである。また、第2の層間絶縁膜であるフッ素含有酸化シリコン膜40は低比誘電率膜として用いている。

【0054】そして、下層配線22上の酸化シリコン膜23およびフッ素含有酸化シリコン膜40を覆うように、第3の層間絶縁膜としての酸化シリコン膜41が形成されている。この酸化シリコン膜41の表面は、上層配線が断線を生じることなく形成できる程度に平坦化されている。

【0055】次に、上記構成の半導体装置の製造方法について説明する。なお、本実施の形態の製造方法は、第1の実施の形態の半導体装置の製造工程のうち、図5(a)、(b)に示す酸化シリコン膜23の形成工程までは共通であるため、その工程までの説明は省略する。

【0056】図8(c)に示すように、酸化シリコン膜23上にフッ素含有酸化シリコン膜40を約1.2 μ m堆積する。このフッ素含有酸化シリコン膜40は、シリコン基板20に13.56MHzの高周波電圧を印加し、SiF₄とO₂とH₂とArを原料とする電子サイクロトロン共鳴励起プラズマを用いたプラズマCVD法によって堆積する。また、マイクロ波パワーを2.8kW、高周波パワーを1.0kW、圧力を約1mTorr、SiF₄流量を50sccm、O₂流量を100sccm、H₂流量を約20sccm、とする。さらに、約80℃の冷媒で基板を冷却することによって膜成長時の基板温度を約400℃以下に保持する。この条件でフッ素含有酸化シリコン膜40を堆積した場合、膜中には約8atomic%のフッ素が含有され、単層の比誘電率としては約3.6にまで減少す

1 4

る。この段階で、第1の実施の形態とは逆に、下層配線22が無い領域のフッ素含有酸化シリコン膜40の上面は下層配線22上の酸化シリコン膜23の上面よりも高い状態となる。

【0057】次に、図8(d)に示すように、CMP法を用いて下層配線22上のフッ素含有酸化シリコン膜40を研磨して完全に除去し、下層配線22間に上面が研磨されたフッ素含有酸化シリコン膜40を残す。この際、下層配線22上の酸化シリコン膜23がCMPのストッパーとして機能する。また、CMPに用いるスラリーとしては、シリカを純水に分散させ、酢酸アンモニウム(CH₃COONH₄)を添加し、さらにアンモニア(NH₄OH)を添加することでpHを7(中性)に調整したものを用いる。

【0058】そして、図8(e)に示すように、全面にTEOSとO₂を原料としたプラズマCVD法を用いて酸化シリコン膜41を約0.8 μ m堆積する。この後は、第1の実施の形態と同様の工程(図6(g)、

(h)参照)を経ることで、本実施の形態の2層配線構造が完成する。

【0059】本実施の形態においても、第1の実施の形態と同様の効果を得ることができる。そして、図8(c)に示すフッ素含有酸化シリコン膜40形成時の電子サイクロトロン共鳴励起プラズマに代えて、ヘリコン波型励起プラズマまたは誘導結合型励起プラズマ等の高密度プラズマ源を用いることができる。さらに、基板に高周波電圧を印加する高密度プラズマCVD法に代えて、バイアス・スパッタリング法を用いてもよい。

【0060】以下、本発明の第3および第4の実施の形態を図3および図4を参照して説明する。図3は第3の実施の形態の半導体装置、図4は第4の実施の形態の半導体装置をそれぞれ示す断面図である。これらの半導体装置は、第3の実施の形態の半導体装置が第1の実施の形態の半導体装置における酸化シリコン膜23の代わりに窒素含有酸化シリコン膜43を用いた例、第4の実施の形態の半導体装置が第2の実施の形態の半導体装置における酸化シリコン膜23の代わりに窒素含有酸化シリコン膜43を用いた例、である。そして、それ以外の構成要素は全く同一である。したがって、図3および図4において、図1および図2の共通の構成要素については同一の符号を付し、説明を省略する。

【0061】これらの半導体装置を製造する際には、第1、第2の実施の形態の半導体装置の製造プロセスにおける酸化シリコン膜形成工程に代えて、例えばTEOSと亜酸化窒素(N₂O)を原料としたプラズマCVD法を用いることによって窒素含有酸化シリコン膜43を形成することができる。

【0062】これらの半導体装置においては、CMPのストッパーとして窒素含有酸化シリコン膜43を用いたことによって、酸化シリコン膜23を用いた第1、第2

の実施の形態の場合に比べて、CMP時のフッ素含有酸化シリコン膜24、40との選択比をより向上させることができる。また、2周波を用いたプラズマCVD法によって酸化シリコン膜23の場合と同様の形状を持つ窒素含有酸化シリコン膜43を形成することができる。ところが、膜中窒素量を増加させた場合、選択比がさらに向上する一方、窒素含有酸化シリコン膜43の比誘電率が増加するため、フッ素含有酸化シリコン膜24、40の使用による比誘電率の低減効果を相殺してしまう結果となる。そのため、窒素の添加量に関しては、CMP時の選択比と比誘電率の兼ね合いを考慮して決定する必要があるが、どちらかと言えば添加量をなるべく抑えるべきである。

【0063】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば配線自体の構造、または各膜の膜厚、各工程の製造条件等の具体的な数値に関しては、上記実施の形態に限らず種々の設計変更が可能である。

【0064】

【発明の効果】以上、詳細に説明したように、本発明の半導体装置およびその製造方法によれば、フッ素含有の第2の酸化シリコン膜がアルミニウム等からなる下層配線に直接接することがないため、配線に腐食が起こりボイドが形成される心配がない。また、フッ素含有の第2の酸化シリコン膜の形成方法として半導体基板に高周波電圧を印加する高密度プラズマCVD法を用いた場合、フッ素含有酸化シリコン膜の密度が高く、空気中に放置したとしても吸湿がなく、膜質も安定する。また、膜中にフッ素を含有させるための反応ガスとしてSiF₄を用いた場合、CF₄やC₂F₆を用いた従来の場合に問題となっていた下地絶縁膜のエッチングが起こることがない。さらに、反応ガスにSiH₄やH₂を添加した場合、膜成長時に生じる余分なフッ素をHFの形で除去することができる。

【0065】また、CMPを行う際にスラリーに電解質塩を添加し、溶液を中性から酸性とすることで、機械的な研磨効果が増大し、フッ素含有酸化シリコン膜の研磨速度を酸化シリコン膜のそれより大きくすることができるため、充分な選択比を確保することができる。その結果、酸化シリコン膜をCMPのストッパーとして機能させることができ、平坦な層間絶縁膜を形成することができる。そして、下地の酸化シリコン膜の膜厚をフッ素含有酸化シリコン膜の膜厚に対して十分に薄くすることで上層、下層配線間の層間絶縁膜中に占めるフッ素含有酸化シリコン膜の体積比を大きくすることができ、層間絶縁膜全体としての比誘電率を下げて配線遅延を低減する

ことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である半導体装置を示す断面図である。

【図2】本発明の第2の実施の形態である半導体装置を示す断面図である。

【図3】本発明の第3の実施の形態である半導体装置を示す断面図である。

【図4】本発明の第4の実施の形態である半導体装置を示す断面図である。

【図5】上記第1の実施の形態の半導体装置の製造方法を工程順を追って示すプロセスフロー図である。

【図6】同、プロセスフロー図の続きである。

【図7】同、半導体装置の製造方法の一部の工程を変えた例を示す図である。

【図8】上記第2の実施の形態の半導体装置の製造方法を工程順を追って示すプロセスフロー図である。

【図9】CMPのポリッシングレートに対するスラリーのpH値および酢酸アンモニウム添加の影響を示す図である。

【図10】CMPのポリッシングレートに対するフッ素含有酸化シリコン膜中のフッ素濃度およびスラリーのpH値の影響を示す図である。

【図11】第1の従来例の半導体装置の製造方法を工程順を追って示すプロセスフロー図である。

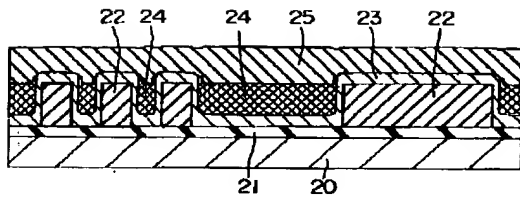
【図12】同、プロセスフロー図の続きである。

【図13】第2の従来例の半導体装置の製造方法を工程順を追って示すプロセスフロー図である。

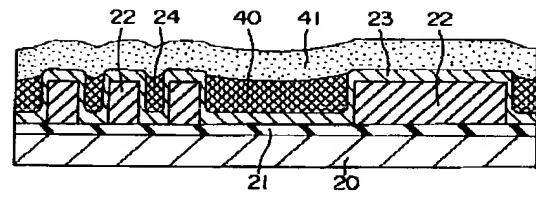
【符号の説明】

- 1, 9, 20 シリコン基板
- 2, 10, 21 絶縁膜
- 3, 11, 22 下層配線
- 4, 24, 40 フッ素含有酸化シリコン膜
- 5, 23, 25, 30, 38, 41 酸化シリコン膜
- 6, 31 ヴィアホール
- 7, 37 上層配線
- 12 層間絶縁膜
- 13a, 13b 硬いポリッシング物質
- 14 軟らかいポリッシング物質
- 16, 17 ボイド
- 18 穴
- 26, 32 チタン膜
- 27, 29, 33, 36 窒化チタン膜
- 28, 35 アルミニウム-シリコン-銅合金膜
- 34 タングステン膜
- 43 窒素含有酸化シリコン膜

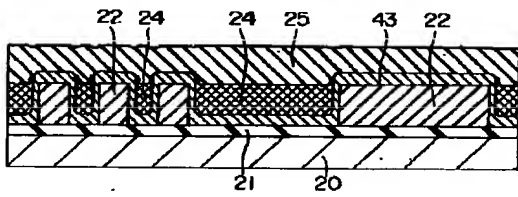
【図1】



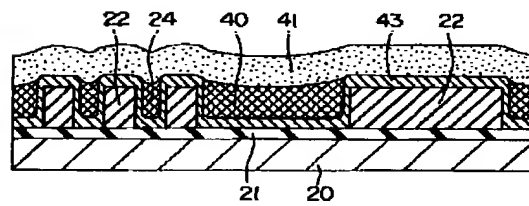
【図2】



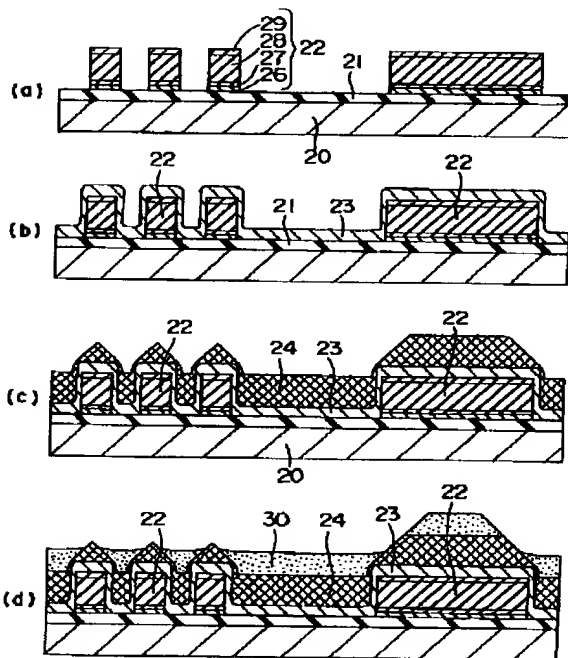
【図3】



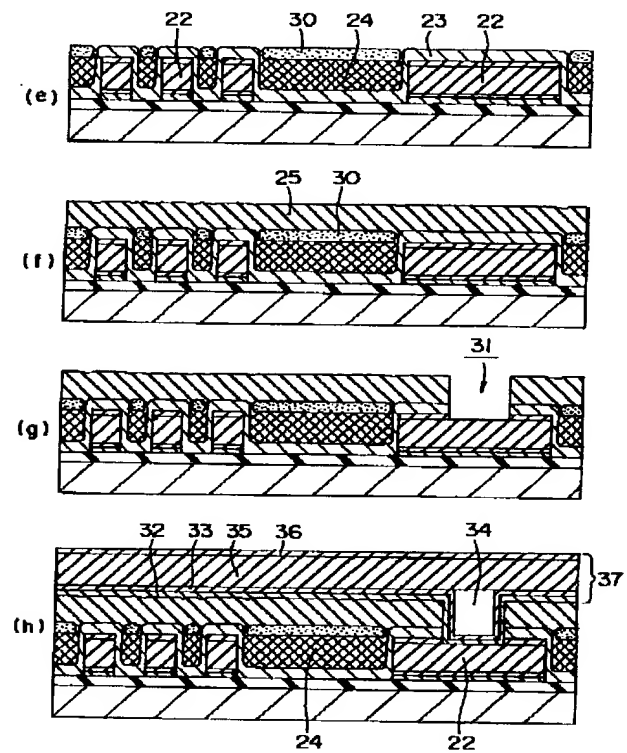
【図4】



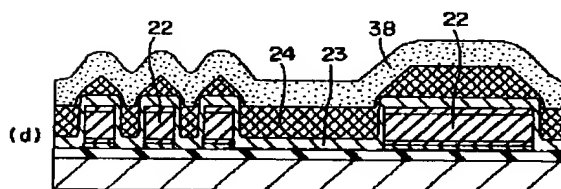
【図5】



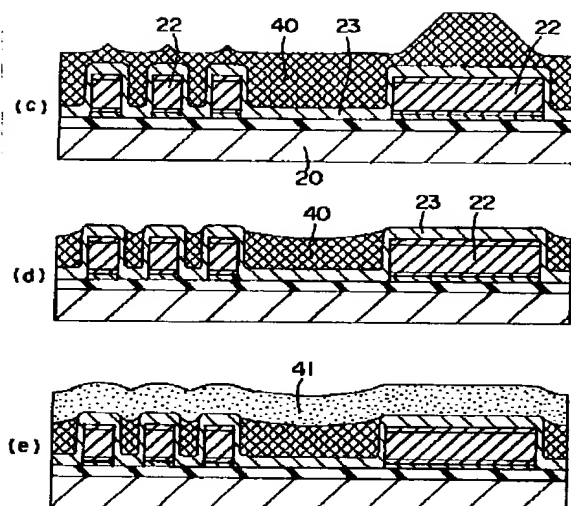
【図6】



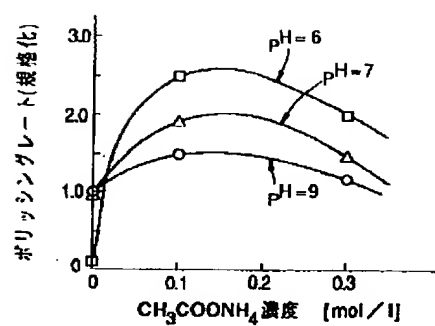
【図7】



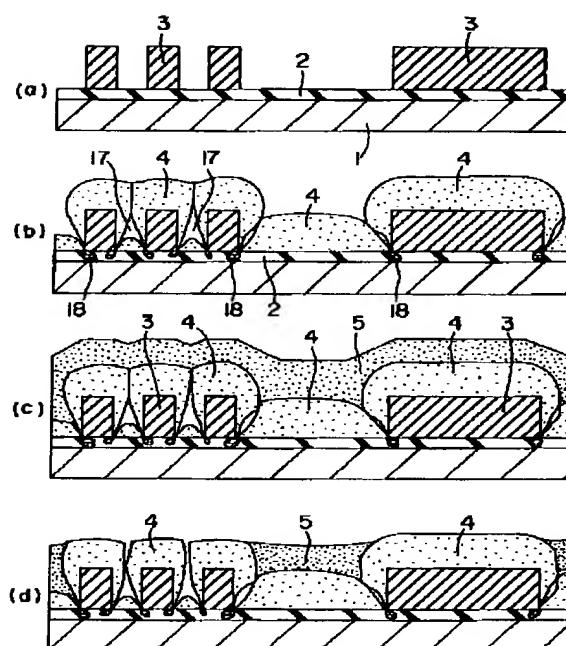
【図8】



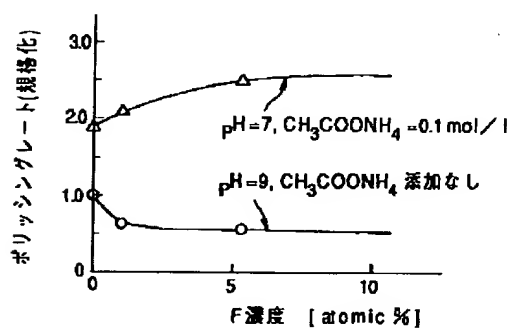
【図9】



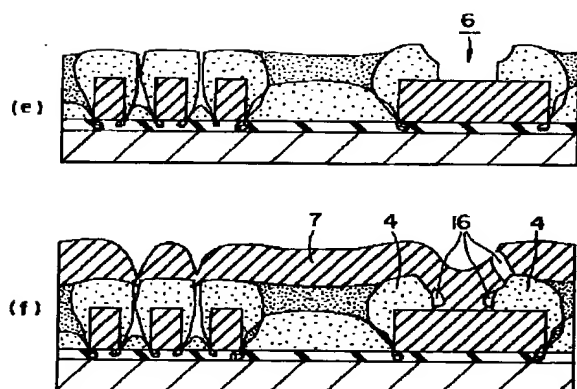
【図11】



【図10】



【図12】



【図13】

